

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-243901

(P2000-243901A)

(43) 公開日 平成12年9月8日(2000.9.8)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

H 0 1 L 25/065

H 0 1 L 25/08

B

25/07

25/18

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平11-46853

(22) 出願日 平成11年2月24日(1999.2.24)

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 中川 義和

京都市右京区西院溝崎町21番地 ローム株式会社内

(74) 代理人 100087701

弁理士 稲岡 耕作 (外2名)

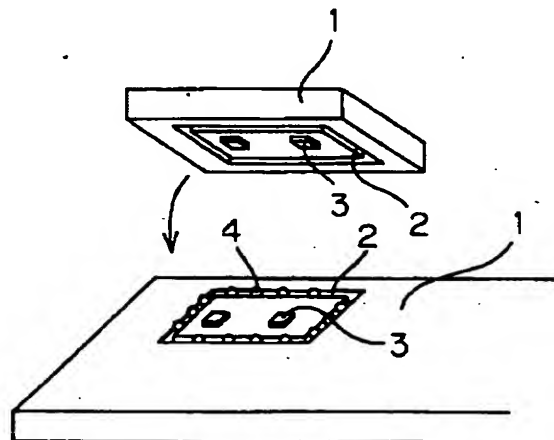
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】半導体素子をチップオンチップ構造にする場合、半導体素子同士の重ね合わせの精度を確保することができ、もって生産能率に優れた半導体装置を実現すること。

【解決手段】重ね合わせる各半導体素子1の重ね合わせ面の所定位置に位置合わせ用の溝2を設け、この溝2に金属球4を配置する。

【効果】溝2同士を、金属球4を介して位置合わせすることができ、パンプ3同士の接合が確実にできるようになり、製造の歩留りを向上させることができる。



**【特許請求の範囲】**

【請求項1】複数の半導体素子を重ねた構造を有する半導体装置であって、重ね合わせる各半導体素子の重ね合わせ面の所定位置に位置合わせ用の溝を設け、この溝に金属球が配置されていることを特徴とする半導体装置。

【請求項2】前記金属球の半径は、半導体素子同士を重ね合わせたときに、溝に配置された金属球の中心の高さが、接合するバンプの上面よりも高くなるように設定されていることを特徴とする請求項1記載の半導体装置。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】本発明は、半導体装置に関し、特に半導体素子に他の半導体素子を重ね合わせるチップオンチップ構造に関するものである。

**【0002】**

【従来の技術】半導体装置の一層の集積化を図るため、複数の半導体素子を2層に重ね合わせる、チップオンチップ構造の半導体装置が注目されている。このチップオンチップ構造にする場合、大小の半導体素子の素子形成面上に、内部配線を部分的に露出させたパッド開口部を設け、このパッド開口に「バンプ」という突起電極を設け、半導体素子同士をいわゆるフェイスツーフェイスで重ね合わせるといった方法がとられている。そして、大きな方の半導体素子の素子形成面に電極を設けて、下地基板（配線板）の電極との間で接続し、この下地基板の電極を、プリント基板やセラミック基板に半田接続する。

**【0003】**

【発明が解決しようとする課題】前記チップオンチップ構造の半導体装置では、2層に重ね合わせる場合の半導体素子同士の位置合わせが重要となる。位置合わせができていないと、2層のバンプ同士が接合できない場合があるからである。従来では、2つの半導体素子を重ねるときに、バンプ同士が正確な位置にくるように、光学的プリズムの全反射による像の重なりを利用するなどの手法を用いていた。しかし、光学的手法に頼っていたのでは、時間と手間がかかり、生産能率が上がらないという問題があった。

【0004】そこで、本発明は、半導体素子をチップオンチップ構造にする場合、半導体素子同士の重ね合わせの精度を確保することができ、もって生産能率に優れた半導体装置を実現することを目的とする。

**【0005】**

【課題を解決するための手段及び発明の効果】本発明の半導体装置は、重ね合わせる各半導体素子の重ね合わせ面の所定位置に位置合わせ用の溝を設け、この溝に金属球が配置されているものである（請求項1）。この構成によれば、半導体素子をチップオンチップ構造にする場合、溝同士を、金属球を介して位置合わせすることができる。したがって、バンプ同士の接合が確実にできるようになり、製造の歩留りを向上させることができる。

【0006】また、前記金属球の半径は、半導体素子同士を重ね合わせたときに、溝に配置された金属球の中心の高さが、接合するバンプの上面よりも高くなるように設定されていることが必要である（請求項2）。半導体素子同士を重ね合わせるときに、バンプ同士が接合するよりも先に金属球が溝を案内して、位置決めを行う必要があるからである。また、接合時に、金属球が溝にぶつかることにより、バンプにかかる衝撃を緩和することができる。さらに、接合後半導体装置の使用時に、基板にかかる応力を吸収する役割も果たすことができる。

【0007】前記溝は、半導体素子の基板に形成されていてもよく、半導体素子に設けられたバンプの上に形成されていてもよい。半導体素子に設けられたバンプの上に形成されている場合、半導体素子にかかる応力をバンプによっても吸収することができる。前記バンプを半導体素子の素子形成面の電極配線に利用することもできる。これにより、素子内の配線の一部を、バンプを利用して行えるので、素子形成の一層の集積化ができる。

**【0008】**

【発明の実施の形態】以下、本発明の実施の形態を、添付図面を参照しながら詳細に説明する。本発明の実施の形態では、半導体の種類として、Siを使用することを前提としているが、他にGaAs、Geなどの半導体を使用してもよい。図1(a)は、半導体素子1の要部斜視図である。半導体素子1の素子形成面にはバンプ3が設けられ、その周囲、例えばスクライブラインの領域の所定位置には、溝2が形成されている。この溝の形成方法としては、例えば、基板をエッチングする、切削具で切り込みを入れる、などの方法をとることができる。

【0009】この溝2に金属球4が配置されている（図2(b)参照）。前記金属球4は、好ましくは半田、Au、Snのような柔らかい金属で形成されている。金属球の配置方法としては、作業員が顕微鏡を見ながら1球1球、ピンセットで溝2に置いていくという方法も考えられるが、実用的には、ガイドを使って金属球を溝2に流し込むという方法が採用できる。

【0010】図2(a)は、前記金属球の配置された半導体素子1に、他の半導体素子1を重ね合わせる前の状態を示す断面図、図2(b)は、重ね合わせた後の状態を示す断面図である。また図3は、半導体素子同士を重ね合わせる状態を示す斜視図である。図2(a)に示すように、金属球4の半径は、金属球4を溝に配置したときに、金属球4の中心が、バンプ3の上面よりも高くなるように設定されている。実際には、金属球4の半径は、せいぜい数10 $\mu$ m程度である。

【0011】他の半導体素子1にも、周辺部の所定位置に溝2が形成されており、素子同士を重ね合わせたときに、金属球4が、溝2、溝2を案内して溝2同士が同位置になるようにする。この状態で、半導体素子同士を圧縮すると（図3参照）、溝2、溝2の位置合わせがで

き、図2 (b) に示すように、半導体素子を位置合わせした状態でパンプ3同士を確実に接合させることができる。

【0012】また、この金属球4は、接合時自ら変形することにより、接合時のパンプ3にかかる衝撃を緩和し、半導体装置の使用状態においても、基板の反りなどによって接合部分にかかる応力を吸収する役割を果たす。溝2の形成位置は、半導体素子の周辺部全周に限られるものではなく、図4 (a) に示すように、半導体素子の周辺部の一部であってもよい。また、図4 (b) に示すように、半導体素子の周辺部の複数箇所に設けられていてもよい。要するに、半導体素子同士の位置合わせが正確にできればよい。

【0013】また、溝2の形も任意であり、例えば図5 (a) に示すように断面V形の溝2c、図5 (b) に示すように断面半円状の溝2dがあげられる。次に、半導体素子の周囲の所定位置にパンプを設け、その上に溝を形成する発明の実施の形態を説明する。図6は、半導体素子1の平面図であり、素子形成面の周囲には、細長いパンプ6が設けられている（以下「周囲パンプ6」という）。周囲パンプ6には、溝7が形成されており、ここに金属球4が配置される。なお、周囲パンプ3に電極としての機能を与えることも可能である。例えば図6では、周囲パンプ6は、橋渡しパンプ8によって電極であるパンプ3aと接続されているので、周囲パンプ6を接地ラインにしたり、電源ラインにしたりすることができる。

【0014】図7は、周囲パンプ6を設けた半導体素子1同士を接合した状態を示す断面図である。金属球4によって、溝7同士の位置合わせができるので、半導体素子のパンプ3同士を確実に接合させることができる。周囲パンプ6及び金属球4は、接合時自ら変形することにより、接合時のパンプ3にかかる衝撃を緩和する。また、半導体装置の使用状態においても、基板の反りなどにより接合部分にかかる応力を吸収する役割を果たす。

【0015】また、この構成で、周囲パンプ6を電極として用いているとき、金属球4によって上下の半導体素子1の周囲パンプ3同士の電気的な接続をさせることができる。図8は、溝7の付いた周囲パンプ6を形成する方法を説明するための工程図である。

【0016】図8 (a) は、半導体素子1の基板の所定位置に、溝2を紙面に垂直な方向に形成した状態を示す。この溝2の形成方法は、部分的なエッチングや機械的な切削など任意の方法が採用できる。なお、12はAlバッド電極である。この上から全面にSiN、SiON、SiO<sub>2</sub>、PSG等のパッシベーション膜13を形成する（図8 (b) ）。パッシベーション膜13の形成方法として、例えばプラズマCVDがあげられる。

【0017】次に、図8 (c) に示すように、基板の全領域に、下地との密着性をよくするためのTiW合金層、メッキの給電のためのAu、Ptなどの層を積層したシ

ード層14をスパッタなどの方法で蒸着する。次に、パンプメッキする領域を除いて、フォトリソ15を塗布する。そして電解メッキ法にてパンプ用金属を厚くメッキする（図8 (d) ）。このパンプ用金属として、Au、Pd、Pt、Ag、Ir（イリジウム）等をあげることができる。電解メッキ法に代えて、化学反応による還元作用を利用した金属のメッキ成膜方法である無電解メッキ法を採用してもよい。この場合、パンプメッキする高さは、図8 (e) に示すように、金属球4を置いたときに金属球の中心位置よりも低くなるようにする。

【0018】次に、フォトリソ15を除去し表面のシード層14を除去して、アニール処理を行うことにより、パンプ3及び周囲パンプ6が形成された半導体素子を得る。この周囲パンプには、前に形成した溝2の深さの分だけの落ち込みがあり、これが周囲パンプに沿った溝7となる。この溝7の上に金属球4を配置する（図8 (e) ）。

【0019】なお、この発明は、以上説明した実施形態に限定されるものではなく、本発明の範囲内で種々の変更を施すことが可能である。

#### 【図面の簡単な説明】

【図1】本発明に係る半導体素子1の要部斜視図である。

【図2】(a) は、前記金属球の配置された半導体素子1に、他の半導体素子1を重ね合わせる前の状態を示す断面図、(b) は、重ね合わせた後の状態を示す断面図である。

【図3】半導体素子同士を重ね合わせる状態を示す斜視図である。

【図4】(a) は半導体素子の周辺部の一部に溝2を形成した状態を示す平面図、(b) は半導体素子の周辺部の複数箇所に溝2を形成した状態を示す平面図である。

【図5】溝の断面図である。

【図6】半導体素子の周囲の所定位置にパンプを設け、その上に溝を形成した半導体素子1の平面図である。

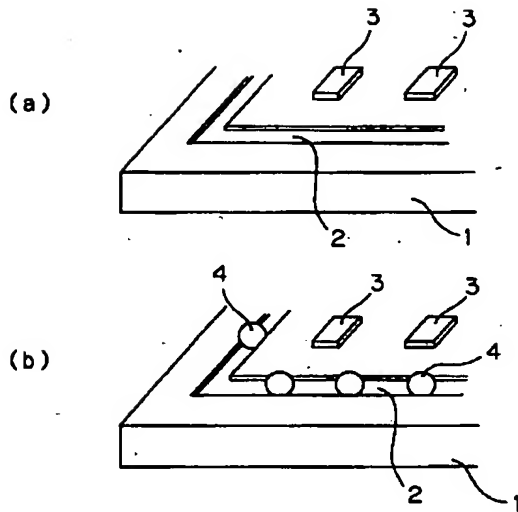
【図7】周囲パンプ6を設けた半導体素子1同士を接合した状態を示す断面図である。

【図8】溝7の付いた周囲パンプ6を形成する方法を説明するための工程図である。

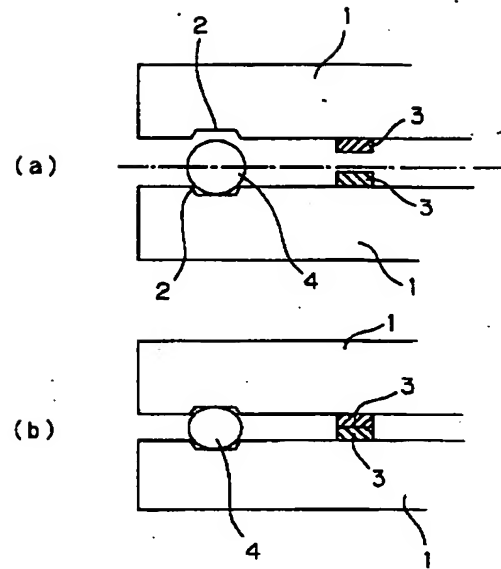
#### 【符号の説明】

- 1 半導体素子
- 2 溝
- 3 パンプ
- 4 金属球
- 6 周囲パンプ
- 7 溝
- 12 Al電極
- 13 パッシベーション膜
- 14 シード層
- 15 フォトリソ

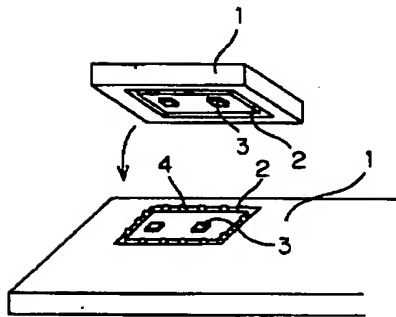
【図1】



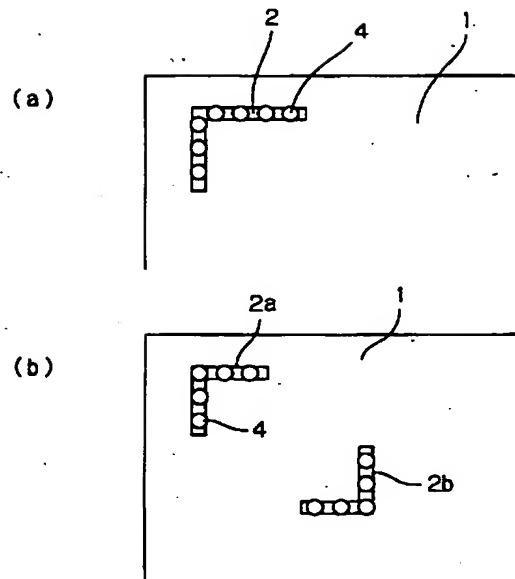
【図2】



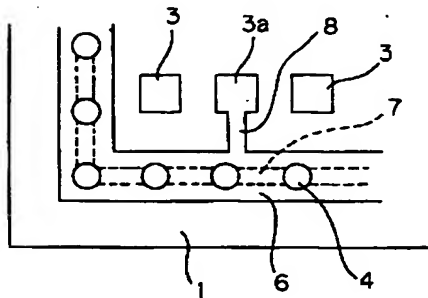
【図3】



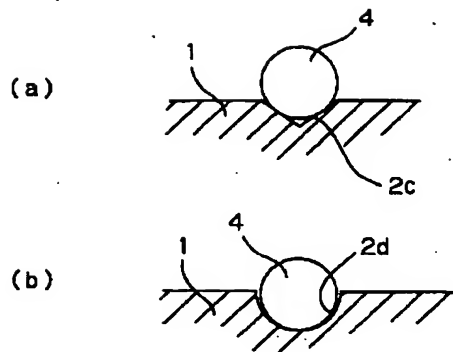
【図4】



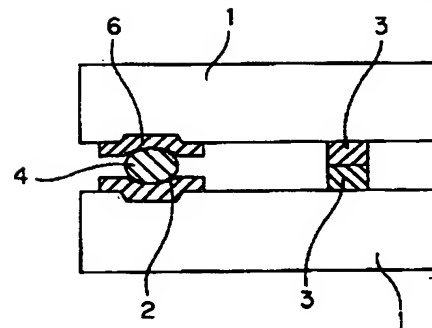
【図6】



【図5】



【図7】



【図8】

